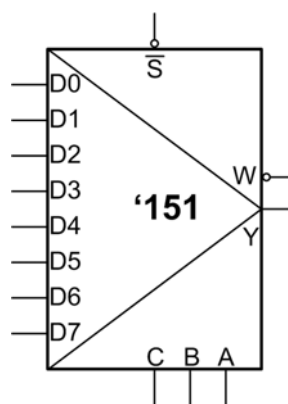
	KATEDRA ELEKTRONIKI AGH – Wydział EAIiE LABORATORIUM TECHNIKI IMPULSOWEJ I CYFROWEJ (studia zaoczne)
Multipleksery, demultipleksery	74151, 74155

I. KONSPEKT¹

Zbudować układ kombinacyjny określony funkcją $y = \sum (1,2,3,5,7,8,10,12,13)$, korzystając z multipleksera o trzech wejściach adresowych.



Lp.	D	C	B	A	f(D, C, B, A)
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					
12					
13					
14					
15					

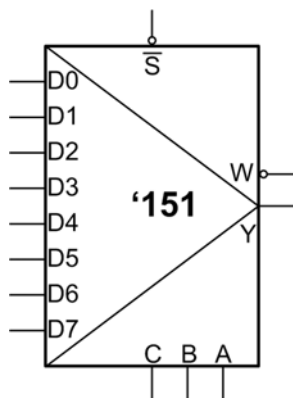
-3p

¹ Za prawidłowo zrobiony konspekt student nie otrzymuje punktów. Za błędnie zrobiony konspekt student otrzymuje ujemne punkty

II. WYKAZ ZADAŃ LABORATORYJNYCH²

Badane układy: '151 (multiplexer 8 - wejściowy), '155 (podwójny demultiplexer 4 - wyjściowy)

- Wykorzystując zadajnik oraz próbnik stanów logicznych określić tabelę prawdy multiplexera '151. W tabeli przyjąć następujące oznaczenia: H – stan wysoki, L – stan niski, × - stan dowolny.



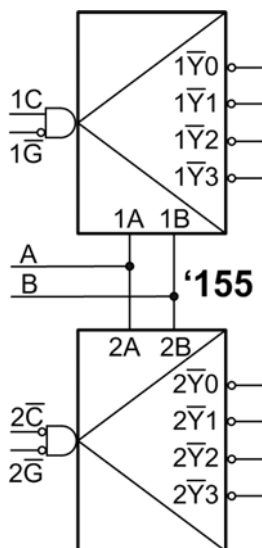
Adres dziesiętnie	Wejścia													Wyjścia	
	Adresowe			Strob.	Danych										
	C	B	A	$\overline{S}$	D0	D1	D2	D3	D4	D5	D6	Dy	Y	$\overline{W}$	
				L											0.2p
															0.2p
															0.2p
															0.2p
															0.2p
															0.2p
															0.2p
															0.2p
															0.2p

- Wykorzystując zadajnik oraz próbnik stanów logicznych określić tabelę prawdy demultiplexera '155. W tabeli przyjąć następujące oznaczenia: H – stan wysoki, L – stan niski, × - stan dowolny)

Wejścia				Wyjścia				Wejścia			Wyjścia					
Adr.		Strob.	Da- nych					Adr.		Strob.						Da- nych
A	B	1G	1C	1Y0	1Y1	1Y2	1Y3	A	B	2G	1C	2Y0	2Y1	2Y2	2Y3	
		H								H						0.2p
																0.2p
																0.2p
																0.2p
																0.2p
			L								H					0.2p

² Warunkiem pozytywnego zaliczenia ćwiczenia laboratoryjnego jest wykonanie co najmniej połowy zadań

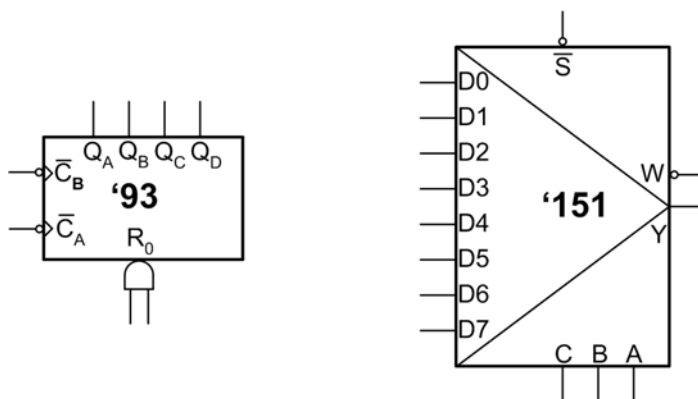
3. Korzystając z dwóch 4 – wyjściowych demultiplekserów (układ '155) zbudować demultiplekser 8 – wyjściowy oraz określić jego tabelę prawdy.



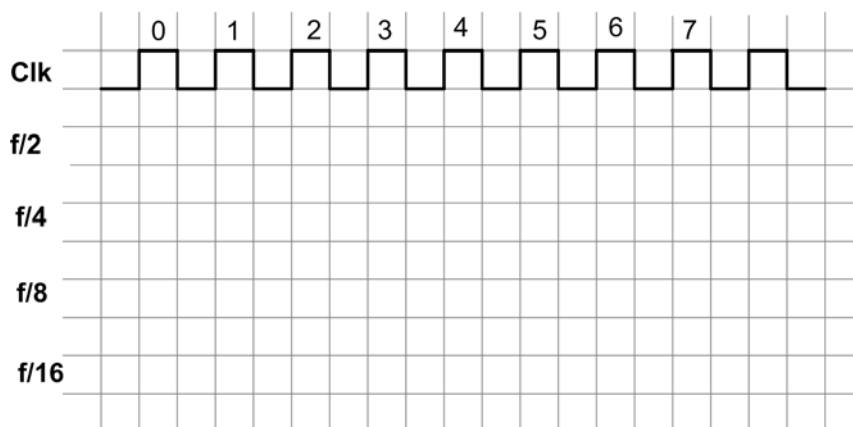
2.5p

Wejścia				Wyjścia								
Adresowe			Danych	1Y0	1Y1	1Y2	1Y3	2Y0	2Y1	2Y2	2Y3	
												0.2p
												0.2p
												0.2p
												0.2p
												0.2p
												0.2p
												0.2p
												0.2p

4. Używając multipleksera '151 oraz licznika '93 zaprojektować, zbudować i uruchomić układ programowalnego dzielnika częstotliwości przez 2, 4, 8, 16. Narysować przebiegi czasowe zrealizowanego układu (wskazówka: do wyboru jednej z częstotliwości należy użyć wejścia adresowego multipleksera).



2.5p



0.4p

Suma punktów:		Zaliczenie:	
Skład zespołu:	1.		
	2.		
	3		
	4.		
	5.		
	6.		
Data wykonania:			

Skala ocen³:

- 9.5-10 celujący 6.0
- 8.1-9.4 bardzo dobry 5.0
- 7.4-8.0 ponad dobry 4.5
- 6.6-7.3 dobry 4.0
- 5.8-6.5 ponad dostateczny 3.5
- 5.0-5.7 dostateczny 3.0
- poniżej 5.0 niedostateczny 2.0

³ na podstawie regulaminu studiów: http://www.agh.edu.pl/agh/dokumenty/dokagh/regul_stud2.htm